

CLIPPEDIMAGE= JP411177035A
PAT-NO: JP411177035A
DOCUMENT-IDENTIFIER: JP 11177035 A
TITLE: FERROMAGNETIC MEMORY

PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SHINOHARA, SOTA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP09343263
APPL-DATE: December 12, 1997

INT-CL_(IPC): H01L027/10; G11C011/22 ; G11C014/00 ; H01L027/108 ; H01L021/8242
; H01L021/8247 ; H01L029/788 ; H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress reduction in a signal voltage margin and to improve reliability for a storage element of a ferromagnetic body memory, by making thin either a bit line width or a plate line width or both of them at a part where a bit line crosses a plate line, and reducing an area where the bit line overlaps with the plate line.

SOLUTION: A line width of a bit line and a plate line is made thin at a region where a bit line crosses a plate line. More specifically, a 4

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177035

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
G 1 1 C 11/22		G 1 1 C 11/22	
14/00		11/34	3 5 2 A
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242		29/78	3 7 1
審査請求 有 請求項の数 6 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願平9-343263

(22) 出願日 平成9年(1997)12月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 篠原 壮太

東京都港区芝五丁目7番1号 日本電気株式会社内

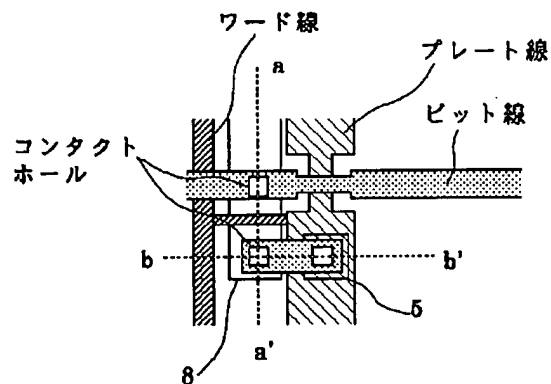
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】 ビット線とプレート線との間のカップリング容量を削減し、これにより信号電圧マージンの低下を抑え、強誘電体メモリの記憶素子としての信頼性を向上する。

【解決手段】 プレート線とビット線とが交差する領域のプレート線の線幅を、前記領域以外におけるプレート線の線幅よりも狭くする。また前記領域のビット線の線幅を、前記領域以外におけるビット線の線幅よりも狭くする。



【特許請求の範囲】

【請求項1】 半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のプレート線の線幅が、前記領域以外におけるプレート線の線幅よりも細いことを特徴とする強誘電体メモリ。

【請求項2】 プレート線とビット線とが交差する領域のプレート線の線幅が $0.2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下である請求項1に記載の強誘電体メモリ。

【請求項3】 半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のビット線の線幅が、前記領域以外におけるビット線の線幅よりも細いことを特徴とする強誘電体メモリ。

【請求項4】 プレート線とビット線とが交差する領域のビット線の線幅が $0.2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下である請求項3に記載の強誘電体メモリ。

【請求項5】 半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のプレート線の線幅が、前記領域以外におけるプレート線の線幅よりも細く、前記領域のビット線の線幅が、前記領域以外におけるビット線の線幅よりも細いことを特徴とする強誘電体メモリ。

【請求項6】 プレート線とビット線とが交差する領域のプレート線の線幅が $0.2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であって、前記領域のビット線の線幅が $0.2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下である請求項5に記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体基板上に形成された記憶を保持するための強誘電体容量素子とメモリセルトランジスタとを備えた強誘電体メモリに関する。

【0002】

【従来の技術】近年、自発分極特性を有する強誘電体膜を容量絶縁膜とする強誘電体メモリの技術開発が活発に行われている。強誘電体メモリは、半導体基板上に形成された強誘電体容量素子の分極状態を利用することで情報を記憶するものである。図11は強誘電体メモリを構成する単位メモリセルの一例の平面図で、図11の点線aa'に沿った断面図が図12、点線bb'に沿った断面図が図13である。図11、図12、図13に示すように、P型シリコン基板1の表面領域内にソース・ドレインn+拡散層8が形成され、P型シリコン基板上にゲート絶縁膜を介してゲート電極7が形成され、これによりセルトランジスタである電界効果トランジスタが構成されている。主にA1で構成されたビット線は電界効果

トランジスタの一方のソース・ドレイン拡散層8に接続されている。電界効果トランジスタ上には、層間絶縁膜をはさんで、下部電極3、強誘電体膜4、上部電極5によって構成される強誘電体容量素子が形成され、上部電極5は配線層6によって電界効果トランジスタの他方のソース・ドレイン拡散層8に接続されている。強誘電体膜はPZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)等を用いて形成される。

【0003】このメモリセルの等価回路図を図14に示す。電界効果トランジスタTrと強誘電体容量素子Cfとの直列接続によってメモリセルMCが構成されている。電界効果トランジスタTrのゲート電極はワード線WLに、ソース・ドレインの一方はビット線BLに、ソース・ドレインの他方は強誘電体容量素子Cfの一方の電極に接続されている。強誘電体容量素子Cfの他方の電極はプレート線PLに接続されている。なお、この従来例では、ワード線WLは電界効果トランジスタのゲート電極を兼ねており、プレート線PLは、強誘電体容量素子の下部電極を兼ねている。

【0004】図11に示すメモリセルMCは図15のようにマトリックス状に配列され、大規模不揮発性メモリを構成する。

【0005】強誘電体膜は図16に示すような印加電圧の履歴に依存した分極値を示す。

【0006】ここで、図14に示すメモリセルにおいて、ワード線WLとビット線BLとに電圧Vcc(たとえば5V)を印加し、プレート線PLに0Vを印加すると、強誘電体容量素子Cfの分極状態はAとなる。ただし図14では、プレート線側を正(+)の方向とした。この状態で、ビット線BLのみを0Vに落とすと、強誘電体容量素子Cfの分極状態はBとなる。この状態をたとえば「1」に対応させるとメモリセルMCには「1」が書き込まれたことになる。またワード線WLとプレート線PLとに電圧Vccを印加し、ビット線BLに0Vを印加すると、強誘電体容量素子Cfの分極状態はCとなる。この状態からプレート線PLの電圧を0Vに落とすと、強誘電体容量素子Cfの分極状態はDとなる。これによりメモリセルにはたとえば「0」が書き込まれたことになる。

【0007】書き込んだデータの「0」、「1」を判定するには以下のようにする。

【0008】まず読み出し動作時の等価回路を図17に示す。ビット線BLはある対地静電容量を持っているので、その値をCbとした。ワード線WLに電圧Vccを印加し、電界効果トランジスタTrを導通状態としてプレート線PLに電圧Vccを加える。プレート線PL側を正の方向とすると、強誘電体容量に正電圧が加わり、分極値が増加するとともにビット線電圧が上昇する。プレート線PLにVccを印加したとき強誘電体容量に加わる電圧をVf、強誘電体容量の分極値の増加をΔPと

すると、ビット線容量に加わる電圧 V_b は $(V_{cc}-V^* \cdot f)$ であるので、ガウスの法則から、次式が成立する。

$$(\epsilon_0 \cdot V_f / d + \Delta P) S = C_b (V_{cc} - V_f) \quad (1)$$

ただし、 ϵ_0 は真空の誘電率、 d は強誘電体膜の厚さ、 S は強誘電体容量の面積である。強誘電体膜では、通常※ $(\epsilon_0 \cdot V_f / d)$ よりも ΔP の方がはるかに大きいので、近似的に ΔP は次式で表される。

$$\Delta P = C_b (V_{cc} - V_f) / S \quad (2)$$

ΔP が強誘電体に加えた電圧 V_f の増加に対してどのように変化するかは、読み出し動作前の強誘電体容量の分極状態によって異なる。図18にその概略を示すように、分極状態が図18のDにあるときは、正極性の電圧を加えても、分極値の増加率はBの状態にあるときよりも小さくなる。分極状態Bにあるときに正電圧を加えたときの強誘電体の分極増加量を ΔP_1 、分極状態Dにあるときに正電圧を加えたときの強誘電体の分極増加量を ΔP_0 とし、横軸に V_f をとって電圧印加による ΔP_1 、 ΔP_0 の変化の様子を描くと概ね図19のようになる。一方、 ΔP_1 、 ΔP_0 ともに(2)式を満たすから、図19において、(2)式右辺を横軸にとって描いた直線1と、 ΔP_1 、 ΔP_0 曲線との交点の横軸における値(それぞれ V_{f1} 、 V_{f0} とする： $V_{f1} < V_{f0}$)が、読み出し動作のときに強誘電体容量に加わる電圧を与える。

【0009】強誘電体容量の分極状態に依存して、プレート線PLに V_{cc} を印加したときのビット線電圧の値はそれぞれ $(V_{cc}-V_{f1})$ 、 $(V_{cc}-V_{f0})$ となって両者は異なる値を示す(それぞれ V_{b1} 、 V_{b0} とおく)。この差を電氣的に比較することで、強誘電体容量に書き込まれたデータが「1」であるか、「0」であるかを判定することができ、これらを利用した記憶素子を構成できる。強誘電体メモリの信頼性改善のためには、 V_{b1} と V_{b0} の差である信号電圧マージン ΔV ($=V_{b1}-V_{b0}=V_{f0}-V_{f1}$)が大きいことが望ましい。

★

$$(C_0 + C_p) V_{f0} = C_b (V_{cc} - V_{f0}) \quad (3)$$

$$(C_1 + C_p) V_{f1} = C_b (V_{cc} - V_{f1}) \quad (4)$$

この2式から、 $\Delta V = V_{f0} - V_{f1}$ は次式で表され ☆ ☆る。

$$\Delta V = V_{f0} - V_{f1} = C_b V_{cc} [1 / (C_p + C_0 + C_b) - 1 / (C_p + C_1 + C_b)] \quad (5)$$

$C_1 > C_0$ であることから、この式により $C_p (> 0)$ の増加にしたがって、 ΔV が減少することがわかる。

【0013】 C_p が大きくなるに従って ΔV が減少すると、強誘電体メモリに書き込まれたデータが「1」であるか「0」であるかを判定することが困難となり、誤動作の可能性が高まり、記憶素子としての信頼性が低下する。

【0014】したがって本発明は、ビット線とプレート線間カップリング容量を削減することで、信号電圧マージンの低下を抑え、強誘電体メモリの記憶素子としての信頼性を向上することを目的とする。

【0015】

【課題を解決するための手段】ビット線とプレート線間◆50

★【0010】

【発明が解決しようとする課題】図17に示す読み出し動作時の等価回路図では示していないが、実際の読み出し動作では、ビット線とプレート線間のカップリング容量 C_p が信号電圧マージン ΔV の値に大きな影響を及ぼす。カップリング容量 C_p は、意図せずに存在するビット線とプレート線間の静電容量である。ビット線とプレート線間のカップリング容量 C_p を考慮すると、図17の等価回路図は図20のように書き直され、 C_p が大きくなると、 ΔV が小さくなることが問題となる。この点につき以下説明する。

【0011】図19から、ビット線とプレート線との間のカップリング容量 C_p を考慮した場合の ΔV を計算する。ただし図19に示す強誘電体容量の分極値の印加電圧依存性は定式化が困難なので、 ΔP_1 、 ΔP_0 を図21のように直線で近似して計算することにする。図21のように直線で近似すると、強誘電体容量は図16でBの状態にあるときは容量値 C_1 (強誘電体に加わる電圧に依存しない定数)をもつ容量として機能し、Dの状態にあるときは容量値 C_0 (強誘電体に加わる電圧に依存しない定数)をもつ容量として機能すると考えることができる($C_1 > C_0$)。

【0012】カップリング容量 C_p を考慮すると図20の等価回路図で、データ読み出し動作時にプレート線に V_{cc} 、ビット線に0Vを印加したときに、ガウスの法則を適用すると、次の2式が成立する。

◆容量の多くは、ビット線とプレート線の交差する部分で生じる。そこで本発明においては、ビット線とプレート線が交差する部分で、ビット線幅、またはプレート線幅、またはその両方を細くすることで、ビット線とプレート線が重なり合う部分の面積を削減し、ビット線とプレート線との線間容量の削減を図っている。

【0016】すなわち本発明によれば、半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のプレート線の線幅が、前記領域以外におけるプレート線の線幅よりも細いことを特徴とする強誘電体メモリが提供される。

【0017】また本発明によれば、半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のビット線の線幅が、前記領域以外におけるビット線の線幅よりも細いことを特徴とする強誘電体メモリが提供される。

【0018】また本発明によれば、半導体基板と、該半導体基板上に設けられた強誘電体容量素子と、ワード線、ビット線およびプレート線とを有する強誘電体メモリにおいて、プレート線とビット線とが交差する領域のプレート線の線幅が、前記領域以外におけるプレート線の線幅よりも細く、前記領域のビット線の線幅が、前記領域以外におけるビット線の線幅よりも細いことを特徴とする強誘電体メモリが提供される。

【0019】本発明の強誘電体メモリは、以上のような構成をとることによってビット線とプレート線が交差する領域において両者が重なり合う部分の面積を減少させ、これによりカップリング容量の削減を図り、信号電圧マージンの低下を抑制するものである。

【0020】

【発明の実施の形態】本発明の強誘電体メモリの単位メモリの第1の実施の形態の平面図を図1に示す。図1の点線a a'に沿った断面図を図2に、点線b b'に沿った断面図を図3にそれぞれ示す。この強誘電体メモリは、半導体基板1と、半導体基板1上に設けられた強誘電体容量素子およびメモリセルトランジスタと、前記強誘電体容量素子上に設けられた保護膜9とを有し、前記強誘電体容量素子は、下部電極8、上部電極6、およびこれらに挟まれた強誘電体膜4を含んでいる。保護膜9には上部電極6に通じるコンタクトホールが設けられ、このコンタクトホールを通して前記強誘電体容量素子と前記メモリセルトランジスタとの一方のソース・ドレイン拡散層8が電気的に接続されている。

【0021】メモリセルトランジスタの他方のソース・ドレイン拡散層8は、コンタクトホールを通してビット線と接続されている。強誘電体容量素子の下部電極3はプレート線を兼ねている。図1に示すように、ビット線とプレート線が交差する領域では、ビット線幅、プレート線幅の両方を細くしてある。ビット線とプレート線が交差する部分ではコンタクトホール、上部電極が存在しないため、ビット線、プレート線の幅を細くしても特に問題は生じない。図1の単位メモリセルを複数個マトリクス状に接続した例の平面図を図4に示す。図4のうち、理解を容易にするため、ビット線とプレート線だけを描くと、図5のようになる。

【0022】ビット線全体、プレート線全体の線幅を細くしても、ビット線とプレート線間カップリング容量は削減できる。しかしこのようにした場合、強誘電体容量1個あたりの占める面積が小さくなって信号電圧マージ

ンの低下につながるという問題や、ビット線、プレート線に形成されたコンタクトホールの面積を小さくしなければならずコンタクトホール内での導通不良が生じる可能性が高まるといった問題が生じる。これに対し本発明のようにビット線とプレート線が交差する領域においてのみビット線とプレート線の線幅を細くすれば、上記のような問題を生ずることなくビット線とプレート線間カップリング容量を削減できる。

【0023】図6は本発明の単位メモリの第2の実施の形態を示す平面図である。図1に示す単位メモリの第1の実施の形態では、ビット線はプレート線の上でプレート線と交差しているが、図6のようにプレート線の下で交差していてもよい。図6の点線a a'に沿った断面図を図7に、点線b b'に沿った断面図を図8にそれぞれ示す。図6においても、ビット線とプレート線の交差する部分でビット線幅、プレート線幅の両方を細くしており、ビット線とプレート線間のカップリング容量を低減している。

【0024】第1、第2の実施の形態では、プレート線、ビット線の両方の線幅を細くしたが、図9に本発明の第3の実施の形態の平面図を示すように、ビット線とプレート線が交差する領域のビット線の線幅のみを細くしてもビット線とプレート線間のカップリング容量は低減できる。また図10に本発明の第4の実施の形態の平面図を示すように、プレート線の線幅のみを細くしてもよい。

【0025】本発明において、プレート線とビット線とが交差する領域のプレート線の線幅は、前記領域以外における線幅よりも細くなるようにする。好ましくは前記領域におけるプレート線の線幅を上部電極の幅よりも細くする。線幅の上限値については、信号電圧等その他の条件によって好ましい線幅の範囲が変動するため一律に決めることは困難であるが、通常プレート線の線幅は4 μm 程度であることから、例えば3 μm 以下とすることが好ましく、2 μm 以下とすることがさらに好ましい。以上述べたような線幅とすることによって、カップリング容量を効果的に低減できる。また線幅は細ければ細いほどカップリング容量の低減の点では有利となるが、断線を起こす危険性を考慮し、0.2 μm 以上とすることが好ましい。

【0026】またビット線についても、プレート線とビット線の交差領域の線幅は、かかる領域以外における線幅よりも細くなるようにする。線幅の上限値については、信号電圧等その他の条件によって好ましい線幅の範囲が変動するため一律に決めることは困難であるが、例えば3 μm 以下とすることが好ましく、2 μm 以下とすることがさらに好ましい。また、断線を起こす危険性を考慮し、0.2 μm 以上とすることが好ましい。

【0027】

【実施例】次に本発明の実施例について図面を参照して

説明する。

【0028】図1は本発明の単位メモリセルの第1の実施例を示す平面図で、図2、図3はそれぞれ図1の点線aa'、bb'に沿った断面図である。P型半導体基板1上に作り込まれた電界効果トランジスタ上に形成された層間膜の上に下部電極3として、下層からTi、Pt、強誘電体膜4としてPZT、上部電極5としてPtを有する強誘電体容量素子が形成されている。下部電極3はプレート線を兼ねている。PZT膜はゾル・ゲル法で形成される。電界効果トランジスタと強誘電体容量素子を電気的に接続するため、電界効果トランジスタの一方のソース・ドレイン拡散層8と、強誘電体容量素子の上部電極5に通じるコンタクトホールが形成されている。これらコンタクトホール上に形成された配線層6によって、電界効果トランジスタの一方のソース・ドレイン拡散層8と強誘電体容量素子の上部電極5が電気的に接続されている。配線層6は下層から順にTi、TiN、Al、TiNが用いられている。また、この配線層6はビット線も構成しており、ビット線は電界効果トランジスタのもう一方のソース・ドレイン拡散層8と接続されている。

【0029】本実施例では、強誘電体容量素子の下部電極3を兼ねるプレート線の幅は4 μ mとし、強誘電体容量素子の上部電極5を縦3 μ m、横3 μ mの正方形としている。このように下部電極の幅を上部電極の幅よりも大きくするのは、上部電極と下部電極の短絡を防ぐためである。通常、強誘電体容量素子の上部電極、下部電極の材料としては、本実施例のようにPtなどの耐酸化性金属が用いられる。このような材料は化学的に安定なため、加工の際に化学的にエッチングするのは困難で、Arイオンなどを用いて物理的にエッチングする方法がしばしば用いられる。下部電極加工時に電極材料を物理的にエッチングすると、容量素子を構成する強誘電体膜の側壁にエッチングされた電極材料が再付着することがしばしば起こる。強誘電体膜側壁に付着した電極材料と上部電極が接触すると上部電極と下部電極が電気的に短絡してしまい、強誘電体容量素子はもはや容量素子としては機能しなくなる。強誘電体膜側壁と上部電極との距離をある程度（本実施例では0.5 μ m）とることによって、上部電極と下部電極の間の短絡を防止するために、上部電極の幅よりも下部電極の幅を広くしてある。

【0030】下部電極の幅を上部電極が存在しない部分で細くしても、上記のような強誘電体容量素子の上部電極、下部電極間が短絡する懸念はない。

【0031】図1の単位メモリセルを複数個マトリクス状に接続した例の平面図を図4に示す。図4のうち、理解を容易にするためビット線とプレート線のみを描くと図5のようになる。

【0032】図1、図5から明らかなように、本実施例では、ビット線とプレート線が交差する領域でビット線

およびプレート線の線幅を細くしている。すなわち、ビット線とプレート線が交差する部分のみ、4 μ m幅のプレート線を1 μ m幅に、2 μ m幅のビット線を1 μ m幅にしている。これによりプレート線とビット線とが交差する領域においてこれらが重なり合う部分の面積を1 μ m²としている。このようにすることによりビット線とプレート線間のカップリング容量を小さくしている。すなわち、4 μ m幅のプレート線と2 μ m幅のビット線とが交差した場合の重なり合う部分の面積は、8 μ m²であるが、本実施例では重なり合う部分の面積が1 μ m²であり、カップリング容量は1/8程度に削減される。

【0033】ここで、プレート線全体を細くすると、上記のように通常上部電極幅はプレート線幅以下にする必要があり、上部電極幅も細くしなければならず、したがって上部電極の面積が小さくなる。上部電極の面積が小さくなると、メモリセル容量から得られる信号電圧が小さくなり、メモリとしての誤動作の増大につながる懸念がある。またプレート線全体を細くするとプレート線の電気抵抗増大を招き、メモリセルを含む回路の高速動作の妨げとなるほか、消費電力の増大も招く。ビット線全体を細くすると、同様にビット線の電気抵抗の増大を招く。したがってビット線とプレート線間のカップリング容量低減のためにビット線幅全体、プレート線幅全体を細くすることは好ましくない。

【0034】

【発明の効果】本発明によれば、ビット線とプレート線が重なる領域の面積を削減することで、ビット線とプレート線間のカップリング容量を削減しているため、カップリング容量の存在に伴うメモリセルから得られる信号電圧マージンの低下を効果的に抑制できる。このため、メモリのデータ読み出し時の誤動作の可能性を低減でき、記憶素子としての信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の単位強誘電体メモリセルの実施の形態および第1の実施例を示す平面図である。

【図2】図1のaa'線断面図である。

【図3】図1のbb'線断面図である。

【図4】本発明の強誘電体メモリセルの一例を示す平面図である。

【図5】本発明の強誘電体メモリセル一例を示す平面図である。

【図6】本発明の強誘電体メモリセルの一例を示す平面図である。

【図7】図6のaa'線断面図である。

【図8】図6のbb'線断面図である。

【図9】本発明の強誘電体メモリセルの一例を示す平面図である。

【図10】本発明の強誘電体メモリセルの一例を示す平面図である。

【図11】従来例の単位強誘電体メモリセルを示す平面

図である。

【図12】図11のaa'線断面図である。

【図13】図11のbb'線断面図である。

【図14】従来例の単位強誘電体メモリセルの等価回路図である。

【図15】従来例の強誘電体メモリセルを示す平面図である。

【図16】強誘電体の分極特性の説明図である。

【図17】本発明が解決しようとする課題を説明するための回路図である。

【図18】強誘電体の分極特性の説明図である。

【図19】強誘電体の分極特性の説明図である。

【図20】本発明が解決しようとする課題を説明するための回路図である。

【図21】強誘電体の分極特性の説明図である。

【符号の説明】

Tr セルトランジスタ

BL ビット線

PL プレート線

WL ワード線

MC メモリセル

Cf 強誘電体容量

1 p型Si基板

2 フィールドSiO₂

3 下部電極

10 4 強誘電体膜

5 上部電極

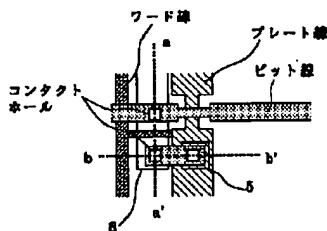
6 配線材

7 ゲート電極

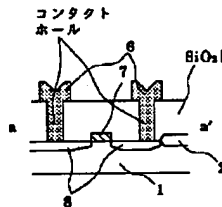
8 n⁺拡散層

9 保護膜

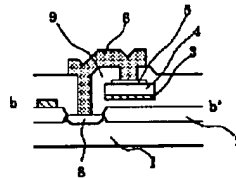
【図1】



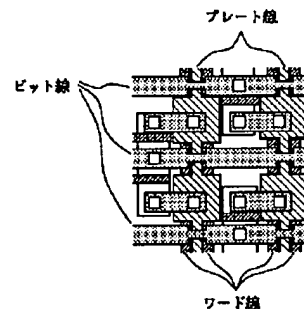
【図2】



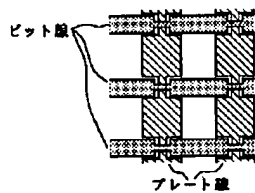
【図3】



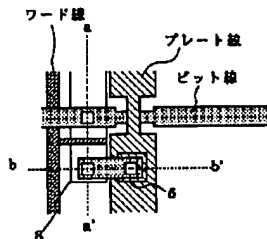
【図4】



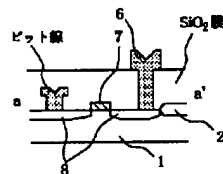
【図5】



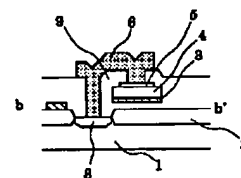
【図6】



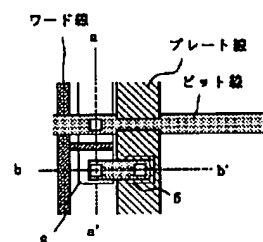
【図7】



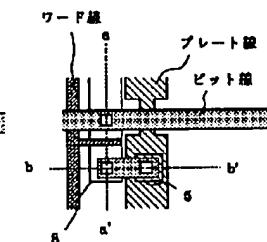
【図8】



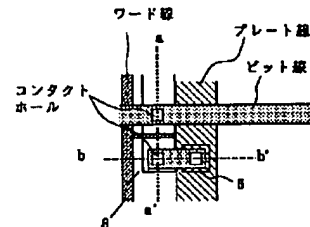
【図9】



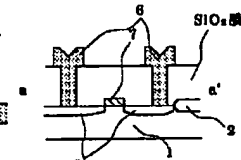
【図10】



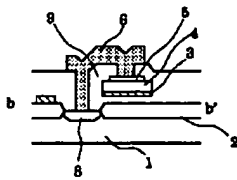
【図11】



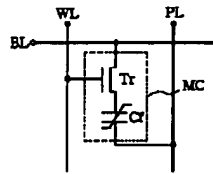
【図12】



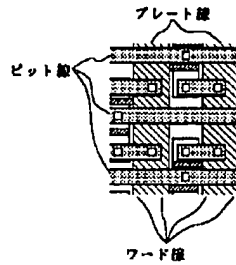
【図13】



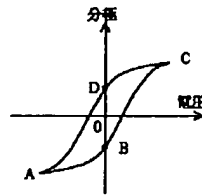
【図14】



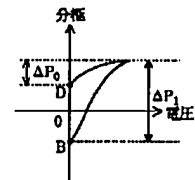
【図15】



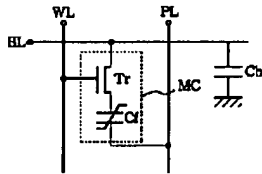
【図16】



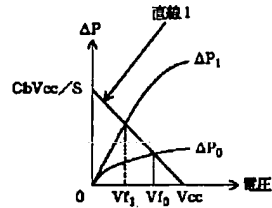
【図18】



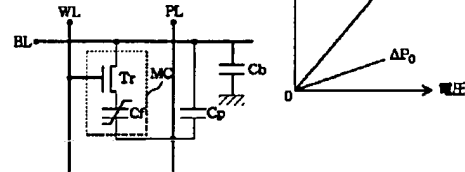
【図17】



【図19】



【図20】



フロントページの続き

(51)Int. Cl.⁶

H01L 21/8247

29/788

29/792

識別記号

F I